

九州工業大学学術機関リポジトリ



Title	LSIの微細化に伴う低電圧化と素子性能ばらつき増大に対応する回路技術に関する研究
Author(s)	岡村, 均
Issue Date	2014-09-26
URL	http://hdl.handle.net/10228/5307
Rights	

氏 名	岡村 均
学 位 の 種 類	博 士 (情報工学)
学 位 記 番 号	情工博甲第293号
学位授与の日付	平成26年9月26日
学位授与の条件	学位規則第4条第1項該当
学位論文題目	LSIの微細化に伴う低電圧化と素子性能ばらつき増大に対応する回路技術に関する研究
論文審査委員	主 査 教 授 中村 和之
	〃 梶原 誠司
	〃 温 暁青
	准教授 馬場 昭好

学 位 論 文 内 容 の 要 旨

半導体デバイスの微細化に伴う電源電圧の低下およびデバイスばらつきの増大に対応する技術は常に求められるもので、その重要性は近年特に増している。本研究では、回路面からの種々のアプローチによってそれら課題に対応する技術に関する研究成果についてまとめたものである。

第1章では、本研究の背景と目的について述べている。CMOS技術の微細化により電源電圧が低下し、BiCMOS技術やバイポーラ技術が低電圧化対応を迫られ、CMOS技術は素子性能ばらつきが大きくなっており、本研究の目的がBiCMOS/CMOS技術の低電圧化、及び素子性能ばらつき耐性向上であることが示されている。

第2章では、MOSトランジスタとバイポーラトランジスタを用いたBiCMOS技術による論理ゲート回路の低電圧対応回路技術について述べている。MOSトランジスタとバイポーラトランジスタを組み合わせ、CMOS回路の低消費電力性とバイポーラ回路の高駆動能力を活かしたまま、バイポーラトランジスタのベース電位をクランプ回路でVBE付近に固定し、また同時にチャージポンプを使用するなどして、電源の低電圧化、面積削減を実現している。これにより、BiCMOS論理ゲート回路を1.2Vから1.5Vという低電源電圧で動作させることが可能であることを実証している。このベース電位クランプ回路ではバイポーラトランジスタの低ばらつき性という特性を回路構成に活かしている。

第3章では、MOSトランジスタのソースを共通に接続したCMLゲート回路構成にバイポーラトランジスタのエミッタフォロアを付加したゲート回路について議論している。MOSトランジスタにデブリッション型を使用することにより、エミッタフォロアで発生するVBE電圧をキャンセルし、差動型の

BiCMOS回路が2V以下の電源電圧でも動作可能であることを実証している。

第4章では、BiCMOS技術によるSRAMに関して、アナログ動作部分の特性ばらつきを抑制するフィードバック回路を用いたデバイス特性ばらつき補正回路を適用した研究成果について述べ、特にデバイスの特性によらず最良な性能を引き出す回路技術に関して検討、実証している。この研究では、特にSRAMのアクセス時間の大きな部分を占めるビット線反転時間に注目している。MOSトランジスタの特性ばらつきによって生じるビット線振幅の変化がビット線反転時間を大きく左右することから、ビット線振幅をレプリカ回路で再現し、その振幅をデバイスに応じて最適化する、MOSトランジスタの特性ばらつき補償回路技術を開発している。また、NTL回路のような電源電圧の変動に敏感な回路部分には、オンチップで内部電源電圧を発生させる方法を適用しているが、ここにもレプリカ回路を適用している。さらに、バイポーラトランジスタのVBEがスケールリングされずに低電源電圧化することが困難であった点を、一般的なSRAMセルとは、逆極性のPMOSトランジスタをアクセストランジスタに用いることで解決している。

第5章では、アナログ的な動作を排除し、完全にスタティックなデジタル回路のみでSRAMを構成することによって、デバイス特性ばらつきがSRAMファンクションに与える影響を根本的に排除するレシオレスSRAMの試作結果について述べている。試作LSIの評価結果により、2桁のデバイス特性ばらつきに対しても確実なSRAM動作を確保できることを実証している。この構成により、最高動作速度はデバイスばらつきの影響を受けるが、肝心のSRAM動作は、確実に保障している。

最後の第6章では、半導体集積回路の低電源電圧化、デバイスばらつき増大に対処する回路技術についてまとめ、今後の展望を行っている。

学 位 論 文 審 査 の 結 果 の 要 旨

本論文では、回路面からの種々のアプローチによって、電源電圧の低下と素子ばらつきの増大に対応する技術を開発している。まず、MOSトランジスタとバイポーラトランジスタを用いたBiCMOS技術による論理ゲート回路について、ベースクランプ回路やチャージポンプを使用するなどして、低電圧化を実現している。ECL/CMLに代表される電流切り換え型の回路に対して、MOSトランジスタを適用することで大幅な低電源電圧化に対応させている。さらに、アナログ動作部分の特性ばらつきを抑制するフィードバック回路を用いたデバイス特性ばらつき補正回路をSRAMに適用した研究成果について述べ、デバイスの特性によらず最良な性能を引き出す技術を実証している。最後に、アナログ的な動作を排除し完全なデジタル動作を実現することによって、デバイス特性ばらつきがSRAMファンクションに与える影響を根本的に排除するレシオレスSRAMの試作結果について述べている。これらの提案技術は、いずれも実証LSIの試作により、実測評価が定量的になされており、結果に関して

の信頼性が非常に高く、いずれもこの分野の世界最高峰の国際学会や、主要論文誌で公表されており、本論文で検討された技術やコンセプトは、今後とも継続するトレンドである微細化、低電源電圧化、素子ばらつき増大に対処する方法に有用な知見を与えていくものである。

本論文に関し、公聴会において、調査委員及び一般参加者から、各提案技術と研究業績の対応の詳細、提案技術の効果の詳細（高速性、消費電力、信頼性）、メモリセルのバリエーション、他研究グループの動向、技術の発展性等に関する質問がなされたが、いずれも論文提出者により適切な回答が得られ、質問者の理解が得られた。

以上により、論文調査及び最終試験の結果に基づき、審査委員会において慎重に審査した結果、本論文が、博士（情報工学）の学位に十分値するものであると判断した。